

CLOCK REPRODUCING METHOD AND CIRCUIT

Publication number: JP2000183992 (A)

Publication date: 2000-06-30

Inventor(s): SUGITA YASUSHI; NISHIKAWA MASAKI

Applicant(s): TOSHIBA CORP

Classification:

- international: H04L27/22; H04L7/00; H04L7/033; H04L27/22; H04L7/00; H04L7/033; (IPC1-7): H04L27/22; H04L7/00; H04L7/033

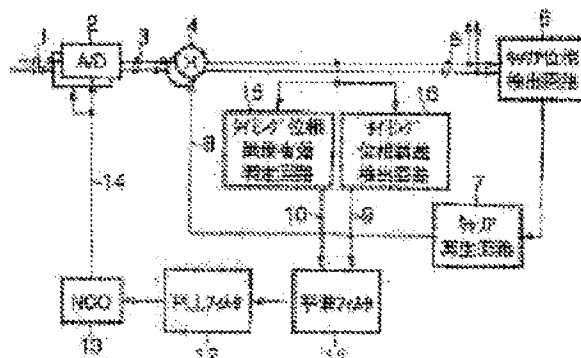
- European:

Application number: JP19980360715 19981218

Priority number(s): JP19980360715 19981218

Abstract of JP 2000183992 (A)

PROBLEM TO BE SOLVED: To obtain a clock reproducing method and circuit for reducing the influence of pattern jitter. **SOLUTION:** A clock reproducing circuit reproduces a sample timing clock from a data signal inputted by detecting a BPSK modulated signal. This circuit is provided with a timing phase error detecting circuit 16 for sequentially detecting the phase error of a sample timing clock corresponding to the waveform of the data signal as an error signal, timing phase error validity decision circuit 15 for deciding whether each phase error value of the error signal is valid or invalid, smoothing filter 11 for selecting the phase error value of the error signal obtained from the phase error detecting circuit 16, based on the decided result of the phase error validity decision circuit 15, and sequentially smoothes it, PLL filter 12 for smoothing the output of the smoothing filter 11 by temporal integration for removing noise components, and numerical control oscillator 13 for correcting the phase of the sample timing clock based on a numerical value obtained by operating the temporal integration of the output of the PLL filter.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-183992
(P2000-183992A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int. Cl. ⁷	識別記号	F I	フォーマット (参考)
H 0 4 L 27/22		H 0 4 L 27/22	C 5 K 0 0 4
7/00		7/00	F 5 K 0 4 7
7/033		7/02	B

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平10-360715

(22) 出願日 平成10年12月18日 (1998. 12. 18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉田 康

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 西川 正樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

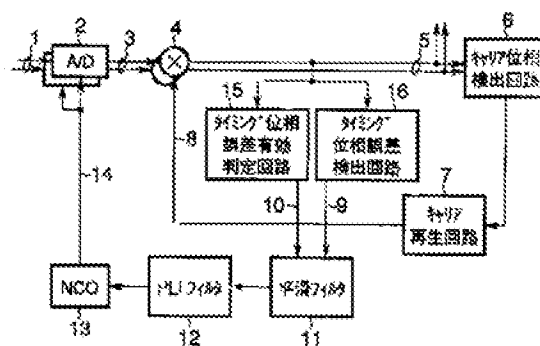
最終頁に続く

(54) 【発明の名称】 クロック再生方法および回路

(57) 【要約】

【課題】 パターンジッタの影響を低減する。

【解決手段】 クロック再生回路はBPSK変調信号を検波して入力されるデータ信号からサンプルタイミングクロックを再生するもので、データ信号の波形に対するサンプルタイミングクロックの位相誤差を順次誤差信号として検出するタイミング位相誤差検出回路16と、この誤差信号の各位相誤差値が有効および無効のどちらであるかを判定するタイミング位相誤差有効判定回路15と、位相誤差検出回路16から得られる誤差信号の位相誤差値を位相誤差有効判定回路15の判定結果に基づいて選別してから順次平滑化する平滑フィルタ11と、雑音成分を除去するために平滑フィルタ11の出力を時間積分により平滑化するPLLフィルタ12と、PLLフィルタの出力を時間積分して得られる数値に基づいてサンプルタイミングクロックの位相を修正する数値制御発振器13とを備える。



【特許請求の範囲】

【請求項1】 デジタル変調信号を検波して入力されるデータ信号からサンプルタイミングクロックを再生するクロック再生方法であって、データ信号の波形に対するサンプルタイミングクロックの位相誤差を位相誤差信号として順次検出し、この位相誤差信号の各位相誤差値が有効および無効のどちらであるかを判定し、有効であると判定された位相誤差値について誤差信号を平滑化し、平滑化された位相誤差信号に基づいてサンプルタイミングクロックの位相を修正することを特徴とするクロック再生方法。

【請求項2】 少なくとも前記判定および前記平滑化は、論理処理により実行されることを特徴とする請求項1に記載のクロック再生方法。

【請求項3】 前記平滑化は、予め保持され所定数の有効位相誤差値を利用して行われることを特徴とする請求項2に記載のクロック再生方法。

【請求項4】 前記平滑化は、新規の有効位相誤差値を保持する代りに古い有効誤差値を破棄するバッファ処理により予め保持される有効位相誤差値の数を前記所定数に維持することを特徴とする請求項3に記載のクロック再生方法。

【請求項5】 デジタル変調信号を検波して入力されるデータ信号からサンプルタイミングクロックを再生するクロック再生回路であって、データ信号の波形に対するサンプルタイミングクロックの位相誤差を誤差信号として順次検出する検出器と、この誤差信号の各位相誤差値が有効および無効のどちらであるかを判定する判定器と、前記検出器から得られる位相誤差信号の位相誤差値を前記判定器の判定結果に基づいて選別してから順次平滑化する第1平滑フィルタと、雑音成分を除去するために前記第1平滑フィルタの出力を時間積分により平滑化する第2平滑フィルタと、前記第2平滑フィルタの出力を時間積分して得られる数値に基づいてサンプルタイミングクロックの位相を修正する数値制御発振器とを備えることを特徴とするクロック再生回路。

【請求項6】 前記第1平滑フィルタは、前記判定器が位相誤差値を有効であると判定するタイミングに同期して動作することを特徴とする請求項5に記載のクロック再生回路。

【請求項7】 前記第1平滑フィルタは、先入先出型有限インパルス応答フィルタであることを特徴とする請求項6に記載のクロック再生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般にデジタル変

調信号を復調するデジタル復調装置に関し、特にこのデジタル変調信号を検波して入力されるデータ信号のサンプリングに必要なタイミングクロックを再生するクロック再生方法およびクロック再生回路に関する。

【0002】

【従来の技術】 BPSK (Binary Phase Shift Keying) のようなデジタル変調信号を復調するデジタル復調装置は、一般にデジタル変調信号を検波して得られるデータ信号からサンプルタイミングクロックを再生する。

【0003】 このクロック再生では、シンボルタイミングとサンプルタイミングとの位相ずれがゼロクロス法を利用して検出され、この検出結果に基づいてサンプルタイミングクロックの位相が修正される。このため、データ信号は例えばシンボルレートの2倍の周波数でオーバーサンプリングされる。すなわち、シンボルタイミングの中間点に対応するタイミングでもサンプリングが行われる。データ信号が2つの連続するサンプルタイミング間でゼロクロスしてサンプル値が正の値から負の値に遷移するとすれば、サンプルタイミングの位相進みにより正のサンプル値が得られ、サンプルタイミングの位相遅れにより負のサンプル値が得られる。このようにサンプル値はサンプルタイミングとシンボルタイミングとの位相ずれに依存することから、サンプルタイミングクロックの位相誤差がこのサンプル値に基づいて検出される。

【0004】 ところで、データ信号のサンプル値が連続して同じ極性となる場合には、シンボルタイミングとサンプルタイミングとの位相ずれを検出することができず、一時的に位相同期がとれない状態となる。この一時的な位相非同期は再生されたサンプルタイミングクロックの位相ジッタの大きさに影響し、これが原因で発生する位相ジッタをパターンジッタと呼ぶ。

【0005】

【発明が解決しようとする課題】 上述のパターンジッタは避けられないものである。しかし、安定なクロック再生を行うためにパターンジッタの影響を低減する必要がある。

【0006】 本発明の目的は、パターンジッタの影響を低減できるクロック再生方法および回路を提供することにある。

【0007】

【課題を解決するための手段】 本発明は、デジタル変調信号を検波して入力されるデータ信号の波形に対するサンプルタイミングクロックの位相誤差を位相誤差信号として順次検出し、この位相誤差信号の各位相誤差値が有効および無効のどちらであるかを判定し、有効であると判定された位相誤差値について誤差信号を平滑化し、平滑化された位相誤差信号に基づいてサンプルタイミングクロックの位相を修正するものである。

【0008】 すなわち、有効な位相誤差が検出された場合にこれを平滑化し、検出位相誤差が無効である間にお

いてもサンプルタイミング位相の修正を継続する。従って、再生されたサンプルタイミングクロックに対するバクテンジッタの影響を軽減させることができる。

【0009】

【発明の実施の形態】以下、本発明の一実施形態に係るクロック再生回路について図面を参照して説明する。

【0010】図1はこのクロック再生回路を含む復調器の構成を示す。この復調器は例えばBPSK方式のデジタル変調信号を復調するデジタル復調装置であり、デジタル変調信号を直交検波して分離された同相信号および直交信号で構成される中間周波数の入力データ信号1をサンプリングし、サンプリングされた信号からベースバンド信号を復調し、かつサンプルタイミングクロックを再生するものである。

【0011】このクロック再生回路は、入力データ信号1の同相信号および直交信号をそれぞれサンプリングしてデジタル形式に変換するA/D変換器2、A/D変換器2の出力信号3とキャリア信号8との複素乗算する複素乗算器4、この複素乗算器4の出力信号5からキャリア位相誤差を検出するキャリア位相誤差検出器6、キャリア位相誤差検出器の出力信号をキャリア再生回路7で平滑化してキャリア信号8を再生するキャリア再生回路7を備える。このクロック再生回路はさらにデータ信号1のシンボルレートの2倍の周波数を基準とするサンプルタイミングクロック14を発生する数値制御発振器(NCO)13、このタイミングクロック14の位相誤差を検出するタイミング位相誤差検出回路16、この位相誤差検出回路16によって検出される位相誤差が有効および無効のいずれであるかを判定するタイミング位相誤差有効判定回路15、この判定回路15から出力されるイネーブル信号10の制御により位相誤差検出回路から出力される位相誤差信号9を選択的に平滑化する平滑フィルタ11、および平滑フィルタ11から出力される位相誤差信号をさらに平滑化して数値制御発振器13を制御するPLLフィルタ12を備える。A/D変換器2のサンプルタイミングは数値制御発振器13から発生されるサンプルタイミングクロック14の位相によって決定される。複素乗算器4では、A/D変換器102の出力信号3とキャリア信号8との複素乗算によりキャリア位相が除去される。複素乗算器4の出力信号5はデジタル復調出力である。タイミング位相誤差検出回路16およびタイミング位相誤差有効判定回路15は複素乗算器4の出力信号5のうちの一方を共通に受取るよう接続される。

【0012】図2は入力データ信号のアイバクーンに対するサンプルタイミングおよびシンボルタイミングの関係を示す。タイミング位相誤差検出回路16はシンボルタイミングとサンプルタイミングとの位相ずれをゼロクロス法を利用して検出する。データ信号1がサンプルタイミング $P-1$ 、 P 、 $P+1$ の間で正の値から負の値に

遷移する波形S1であるとすれば、サンプルタイミングPの位相進みにより正のサンプル値+LVが得られ、サンプルタイミングPの位相遅れにより負のサンプル値-LVが得られる。このようにサンプル値はサンプルタイミングとシンボルタイミングとの位相ずれに依存することから、サンプルタイミングクロックの位相誤差値がこのサンプル値に基づいて検出される。位相誤差信号9は位相誤差検出回路16により順次検出される位相誤差の値を表す信号である。

【0013】タイミング位相誤差有効判定回路15は複素乗算器4の出力信号5に基づいて位相誤差値の有効判定動作をシンボルレートで行う。すなわち、データ信号1が波形S1であれば、サンプルタイミング $P-1$ 、 P 、 $P+1$ で得られたサンプル値が正の値から負の値に遷移することになる。サンプル値が正から負または負から正に遷移したということは、ゼロクロス法でクロック位相誤差が求まるということである。タイミング位相誤差有効判定回路15はこのようなサンプル結果からサンプルタイミングPでタイミング位相誤差検出回路16により検出される位相誤差値を有効であると判定する。他方、データ信号が波形S2であれば、サンプルタイミング $P-1$ 、 P 、 $P+1$ で得られたサンプル値が正の値から負の値に遷移しないことになる。タイミング位相誤差有効判定回路15はこのようなサンプル結果からサンプルタイミングPでタイミング位相誤差検出回路16により検出される位相誤差値を無効であると判定する。イネーブル信号10は位相誤差値が有効である時に“1”に立ち上がり、位相誤差値が無効である時に“0”に立ち下がる。これにより、位相誤差信号9のうちの有効な位相誤差値だけがイネーブル信号10に同期して平滑フィルタ11で平滑化され、PLLフィルタ12に出力される。PLLフィルタ112は高調波成分を除去するローパスフィルタであり、この誤差信号をさらに平滑化した数値を数値制御発振器13に出力する。数値制御発振器13は入力される数値を時間積分することによりサンプルタイミングクロック14の位相を修正する。

【0014】図3は図1に示す平滑フィルタ11の構成を示す。この平滑フィルタ11は縦列接続されたフリップフロップ(FF)23、24、25、これらフリップフロップ23-25の出力端にそれぞれ接続される係数乗算器26、27、28、およびこれら係数乗算器26-28に共通に接続される加算器29を有する。フリップフロップ23、24、25はイネーブル信号10の立ち上がりと同時に応答して保持動作を行う。フリップフロップ23はタイミング位相誤差検出回路16からの位相誤差信号9を保持し、フリップフロップ24はフリップフロップ23の出力信号23Sを保持し、フリップフロップ25はフリップフロップ24の出力信号24Sを保持する。すなわち、フリップフロップ23、24、25はタイミング位相誤差有効判定回路15における有効な

位相誤差値という判定によりイネーブル信号10を立ち上げた時にそれぞれの入力値を保持し、無効な位相誤差値という判定によりイネーブル信号10を立ち下げた時に直前の入力値を保持し続ける。係数乗算器26、27、28はそれぞれフリップフロップ23、24、25の出力信号23S、24、25Sに係数A、B、Cを乗じる。加算器29はこれら係数乗算器26、27、28の出力値26S、27S、28Sを加算しこの加算結果を位相誤差信号29SとしてPLLフィルタ12に出力する。

【0015】図4を参照して平滑フィルタ11の動作をさらに説明する。図4(A)は有効位相誤差値について平滑化を行わない場合に得られる平滑フィルタ11の出力を示し、図4(B)は有効位相誤差値について平滑化を行った場合に得られる平滑フィルタ11の出力を示す。平滑フィルタ11はイネーブル信号10が立上がる有効誤差発生タイミングで有効位相誤差値を平滑化する。もし、この平滑化を省略した場合、図3(A)に示すように位相誤差信号29Sが有効誤差発生タイミングに一致するシンボルタイミングで有効位相誤差値に設定されPLLフィルタ12に出力される。これに続き有効誤差発生タイミングに一致しないシンボルタイミングでは、位相誤差信号29Sが“0”の位相誤差値に戻される。この場合、平滑フィルタ11の出力がシンボルタイミングに同期して大きく変動する。このようなパターンジッタはサンプルタイミングクロック14の位相ジッタを悪化させる原因となる。

【0016】これに対して、有効位相誤差値が例えば係数A、B、Cを全て等しく設定して平滑される場合には、図3(B)に示すように位相誤差信号29Sが有効誤差発生タイミングに一致するシンボルタイミングで最新3個の有効位相誤差値の平均値に設定されPLLフィルタ12に出力される。これに続き有効誤差発生タイミングに一致しないシンボルタイミングでも、位相誤差信号29Sが最新3個の有効位相誤差値の平均値に設定される。この場合、平滑フィルタ11の出力変動が図2(A)に示す場合により小さくなる。このため、パターンジッタがサンプリングタイミングクロック14に与える影響も軽減される。

【0017】尚、平滑フィルタ11は本実施形態において3タップの先入先出(FIFO)型有限インパルス応答(FIR)フィルタで構成されたとしたが、タップ数とフィルタ構造は任意である。すなわち、イネーブル信号10の立上がりで得られる誤差信号を有効であるとして平滑化して出力するものであればよい。このときのタップ数および係数は、イネーブル信号10が“1”に維持される時間幅とサンプルタイミングクロック14の位相誤差信号9に含まれると推定される妨害雑音成分の大きさと特徴によって決定される。

【0018】また、本実施形態では、BPSK変調信号

が直交変調波であるため、検波により同相信号および直交信号という2信号に分離される。タイミング位相誤差検出回路16はこれら2信号のうちの一方に基づいて動作するように構成されているが、タイミング位相誤差検出回路16および平滑フィルタ11を同相信号および直交信号のそれぞれに対して設け、それぞれの平滑フィルタ11の出力を加算するように構成してもよい。

【0019】また、キャリア同期のための複素乗算器14がタイミング位相誤差検出器16よりも前段で処理を行うが、後段で処理を行ってもよい。このような配置変更はパターンジッタを軽減する本発明の意図を制限するものではない。

【0020】また、本発明は図2に示すゼロクロス法を始めとして、デジタル変調信号を検波して得られるデータ信号の波形から有効なタイミングクロックの位相誤差を確実に検出することが難しいようなタイミング誤差検出方法全てに適用可能であり、またその際に変調の種類にも依存しない。例えばゼロクロス法をQPSK変調信号に適用した場合にも本発明による平滑フィルタおよびタイミング位相誤差有効判定回路を用いて誤差信号を平滑化し、パターンジッタを軽減することができる。具体的には、QPSKの他に16QAM、32QAM、64QAM、128QAM、256QAMを始めとする多値の直交変調方式、8PSK、16PSKなどの多値の位相変調方式、8VSB、16VSBなどの多値のデジタル振幅変調方式などに適用できる。

【0021】さらに、本発明は上述のような構成に限定されず、その要旨を逸脱しない範囲において様々に変形することが可能である。例えば、上述したタイミング位相誤差有効判定回路15、タイミング位相誤差検出回路16、平滑化フィルタ11の論理処理の全てまたはいずれかを実行するために、ソフトウェアプログラムに従って動作するDSPやCPUを利用することも可能である。

【0022】

【発明の効果】以上のように本発明によれば、誤差発生タイミングに依存する平滑フィルタで発生した誤差信号を平滑化することにより、入力信号のパターンジッタを効果的に軽減し、再生サンプルタイミング位相の位相ジッタを軽減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るクロック再生回路の構成を示す図である。

【図2】図1に示すタイミング位相誤差検出回路の動作を説明する図である。

【図3】図1に示す平滑フィルタの構成を示す図である。

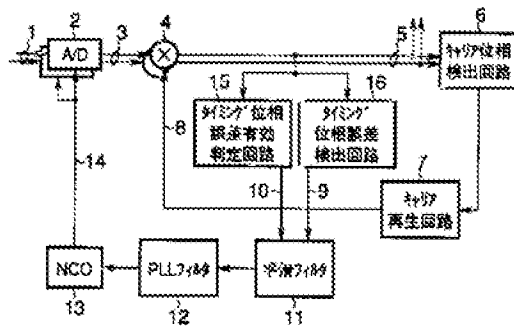
【図4】図3に示す平滑フィルタの動作特性を説明する図である。

【符号の説明】

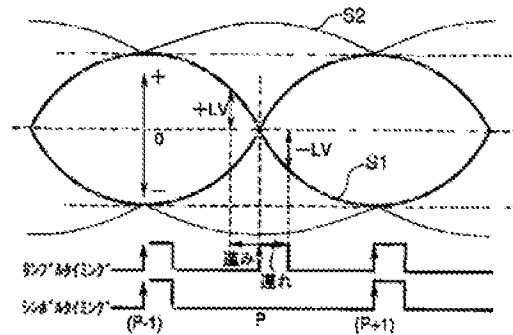
11…平滑フィルタ、12…PLLフィルタ、13…数
値制御発振器、15…タイミング位相誤差有効判定回

路、16…タイミング位相誤差検出回路。

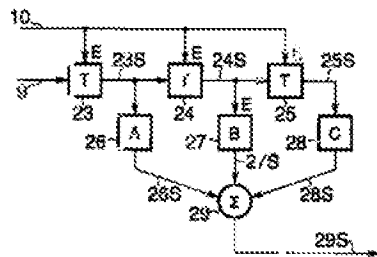
【図1】



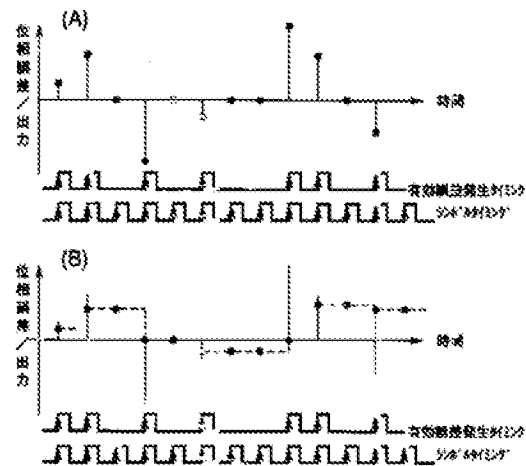
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5K004 AA05 FA03 FG02 FH05 FH08
FK16
5K047 AA06 BE02 GG09 GG25 GG45
MMB3 MM18 MM60